

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
14 juillet 2005 (14.07.2005)

PCT

(10) Numéro de publication internationale
WO 2005/064657 A1

(51) Classification internationale des brevets⁷ : **H01L 21/18**

(21) Numéro de la demande internationale :
PCT/FR2004/050742

(22) Date de dépôt international :
21 décembre 2004 (21.12.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0351190 23 décembre 2003 (23.12.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31-33 rue de la Fédération, F-75752 PARIS 15ème (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **POCAS,
Stéphane** [FR/FR]; 15, bd Maréchal Leclerc-Tour Mont
Blanc, F-38000 GRENOBLE (FR). **MORICEAU, Hubert**
[FR/FR]; 26 rue du Fournet, F-38120 SAINT EGREVE
(FR). **MICHAUD, Jean-François** [FR/FR]; Villard-prin,
F-73800 ST PIERRE DE SOUCY (FR).

(74) Mandataire : **LEHU, Jean**; Brevatome, 3, rue du Docteur
Lancereaux, F-75008 PARIS (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG,
MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH,
PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre
de protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO,
SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, ML, MR, NE, SN, TD, TG).

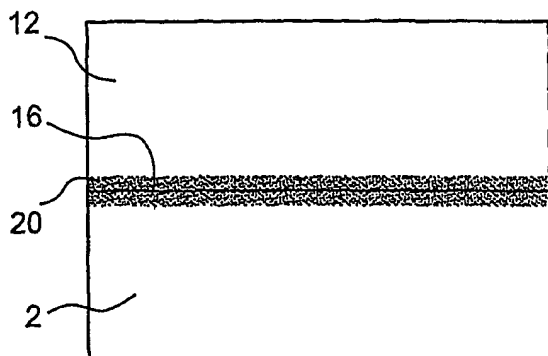
Publiée :

- avec rapport de recherche internationale
- avant l'expiration du délai prévu pour la modification des
revendications, sera republiée si des modifications sont re-
çues

En ce qui concerne les codes à deux lettres et autres abrégia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.

(54) Title: METHOD OF SEALING TWO PLATES WITH THE FORMATION OF AN OHMIC CONTACT THEREBETWEEN

(54) Titre : PROCEDE DE SCELLEMENT DE DEUX PLAQUES AVEC FORMATION D'UN CONTACT OHMIQUE ENTRE
CELLES-CI



(57) Abstract: The invention relates to a method of sealing
two plates (2, 12) which are made from semiconductor ma-
terials. The inventive method comprises the following steps
consisting in: implanting metal species (4) in at least the first
plate; assembling the first and second plates; and annealing
same.

(57) Abrégé : L'invention concerne un procédé de scelle-
ment de deux plaques (2, 12) de matériaux semi-conduc-
teurs, comportant : une étape d'implantation d'espèces mé-
talliques (4) dans au moins la première plaque ; une étape
d'assemblage de la première et de la deuxième plaque ; une
étape de recuit.

WO 2005/064657 A1

**PROCEDE DE SCELLEMENT DE DEUX PLAQUES AVEC FORMATION
D'UN CONTACT OHMIQUE ENTRE CELLES-CI**

DESCRIPTION

5 DOMAINE TECHNIQUE ET ART ANTERIEUR

L'invention concerne un procédé de scellement de deux plaques de matériaux semi-conducteurs, par exemple en silicium, avec formation d'un contact ohmique entre les deux plaques.

10 Dans la littérature, le scellement de deux plaques avec formation d'un contact ohmique est réalisé par l'intermédiaire d'un dépôt d'une couche métallique comme décrit par exemple dans le document de J. Haisma intitulé « Contact Bonding, Including Direct-Bonding in
15 a Historical and Recent Context of Materials Science and Technology, Physics and Chemistry », Materials Science and Engineering, 37, 2002, p. 1-60. On peut, aussi citer le scellement eutectique, la brasure ou la formation d'un siliciure via une couche de métal
20 déposé, comme décrit dans l'article de Z. X. Xiao et al. intitulé « Low Temperature Silicon Wafer to Wafer Bonding with Nickel Silicide, Journal of the Electrochemical Society, 145, 1998, p. 1360-1362.

Toutes ces techniques nécessitent le dépôt
25 préalable d'une couche métallique. Or la tenue d'une couche métallique sur un support semi-conducteur n'est pas évidente à obtenir et nécessite des étapes technologiques particulières qui complexifient le scellement. Elles nécessitent également de préparer la

surface de cette couche métallique (notamment sa chimie de surface et sa rugosité).

Il se pose donc le problème de trouver un nouveau procédé de scellement de plaques de matériaux
5 semi-conducteurs, et notamment de plaques de silicium qui s'affranchissent de toutes ces étapes technologiques supplémentaires en évitant en particulier le dépôt d'une couche métallique.

EXPOSÉ DE L'INVENTION

10 Le procédé selon l'invention comporte une étape d'implantation d'espèces métalliques dans au moins un premier substrat, une étape d'assemblage par adhérence moléculaire avec un deuxième substrat, et une
15 étape de recuit ou de formation d'un composé ou de composés conducteur(s) ou métallique(s), entre les espèces métalliques implantées et le ou les matériaux constitutifs des substrats ou résultant de ces espèces
implantées et de ce ou ces matériaux.

La formation d'un composé conducteur peut
20 résulter d'un recuit ou d'un traitement thermique à une température au moins égale à la température de formation du ou des composés.

L'implantation des plaquettes de semi-conducteur, par exemple de silicium, par des espèces
25 métalliques est de préférence réalisée à une très faible profondeur (quelques nanomètres) et à une dose comprise entre quelques 10^{14} et quelques 10^{18} espèces/cm² ou 10^{19} espèces/cm².

Pour réduire la profondeur d'implantation,
30 il est possible de réaliser l'implantation à travers

une couche superficielle formée sur le substrat à planter, ou bien, après implantation, d'amincir le substrat implanté.

Une localisation de l'implantation peut
5 être obtenue à travers un masque.

Après l'implantation, on vient assembler, par collage par adhérence moléculaire, la surface de la plaquette sur une autre plaquette.

La structure obtenue est recuite, de
10 préférence à la température de formation d'un composé conducteur entre le métal implanté et le matériau (ou les matériaux) de surface des deux substrats à assembler. La zone implantée étant suffisamment proche de la surface, la formation de ce (ou ces) composé(s)
15 conducteur(s) va alors être induite, et le collage par adhésion moléculaire sera modifié par la présence de ce(s) composé(s) conducteur(s).

Les matériaux collés peuvent être du silicium ou des matériaux semi-conducteurs autres que
20 du silicium, pourvu que l'espèce implantée forme, lors du traitement thermique ultérieur, un composé conducteur avec le(s) matériau(x) de surface des substrats à assembler. En particulier, le matériau semi-conducteur peut être pris parmi les matériaux
25 suivants : Si, GaAs, SiC, InP, Ge, SiGe... Les deux matériaux collés peuvent être de nature différente.

Si il y a implantation dans les deux plaques, les espèces implantées peuvent être différentes pour les deux plaques, les conditions
30 d'implantation d'une plaque à l'autre pouvant être différentes.

L'implantation peut se faire avec différentes espèces dans la même plaque, avec des conditions d'implantations qui peuvent être différentes d'une espèce à l'autre.

5 Le composé obtenu pour le contact ohmique peut être de type réfractaire, ce qui est avantageux en particulier pour des procédés ultérieurs à réaliser à haute température (par exemple croissance par épitaxie).

10 Après collage, et avant ou après recuit, un des substrats peut être aminci par les techniques classiques suivantes, prises seules ou en combinaison : rodage, polissage, gravure chimique, gravure ionique...

 L'un des substrats implantés peut être une
15 hétérostructure, ou un assemblage d'au moins deux structures comportant deux matériaux différents, par exemple de type SOI (silicium sur isolant). En particulier, la couche superficielle peut être constituée de l'un des matériaux semi-conducteurs cités
20 précédemment. Il est possible, après assemblage et avant ou après recuit, d'amincir cette hétérostructure pour ne laisser subsister que sa couche superficielle sur l'autre substrat (par exemple pour un substrat SOI, la couche superficielle de silicium). Cette couche
25 superficielle peut elle-même contenir ou recouvrir une couche de circuits préalablement réalisée avant assemblage.

 L'amincissement de l'hétérostructure peut être réalisé par les techniques classiques
30 d'amincissement précédemment citées. Avantageusement, l'hétérostructure comportera une couche, enterrée ou

non, présentant un caractère sélectif vis-à-vis du procédé d'amincissement choisi. Par exemple, pour les hétérostructures de type SOI, la couche d'oxyde de silicium enterrée peut jouer le rôle de couche d'arrêt, par exemple à la gravure chimique. D'autres couches d'arrêt pourront être prévues dans l'hétérostructure, par exemple une couche de SiGe ou de silicium dopé. On pourra également profiter par exemple de la sélectivité à la gravure du verre par rapport au silicium dans une hétérostructure de type silicium sur verre.

Dans un autre mode de réalisation avantageux, l'hétérostructure sera « démontable », et l'amincissement de cette hétérostructure sera alors obtenue par « démontage » de ladite hétérostructure. Le caractère « démontable » pourra en particulier être obtenu par assemblage de deux substrats au niveau d'une interface de collage dont l'énergie de collage est faible. Pour obtenir une telle interface, on pourra par exemple procéder à un collage moléculaire entre deux surfaces de rugosité, contrôlée comme décrit dans l'article d'Hubert Moriceau et al. « The Bonding Energy Control : an Original Way to Debondable Substrates ».

L'un des substrats peut comporter une couche ou un plan de fragilisation, par exemple obtenu par implantation d'espèces gazeuses ou par formation préalable d'une couche poreuse enterrée. Il est alors possible, par exemple après assemblage des deux substrats, d'amincir celui des substrats qui comporte cette couche de fragilisation en provoquant par exemple une fracture au niveau de la zone de séparation.

Les avantages du procédé selon l'invention sont multiples :

L'invention offre tout d'abord la possibilité de créer un contact ohmique avec n'importe quel métal implantable dans le substrat et formant un composé conducteur avec les matériaux des substrats à assembler.

De plus, le collage de plaquettes peut être fait par adhésion moléculaire, avec formation d'un contact ohmique sans avoir à maîtriser, ni le dépôt d'une couche de métal (rugosité, structure cristalline, adhérence de dépôt...), ni la chimie de sa surface (nettoyage, oxydation,...).

Il y a possibilité de coller des plaques avec un contact ohmique sur toute l'interface, ou de coller des plaques avec un contact ohmique localisé à des zones prédéfinies, par exemple par un masquage lors de l'implantation ou en utilisant une surface mixte faite de zones isolantes et de zones conductrices.

Enfin, il est possible de diminuer le budget thermique nécessaire pour renforcer le collage entre les deux substrats semi-conducteurs assemblés par adhérence moléculaire. En effet, dans un collage par adhérence moléculaire classique de deux substrats, en silicium par exemple, il est connu de l'art antérieur, par exemple dans l'ouvrage Tong-Gösele « Semiconductor Wafer Bonding », 1998, The Electrochemical Society Series, John Wiley & Sons, Inc., qu'il faut, pour assurer un collage fort, effectuer sur la structure assemblée des traitements thermiques à des températures supérieures à environ 500°C. Dans le cas de

l'invention, si au moins l'un des substrats de silicium est implanté d'ions Pd par exemple, le renforcement du collage aura lieu à la température de formation du Pd_2Si , c'est-à-dire autour de 150°C . On obtient ainsi
5 des collages (Si/Si dans l'exemple) forts sans avoir recours à un traitement thermique à haute température.

L'invention concerne également une structure composée de deux substrats de matériaux semi-conducteurs assemblés par adhérence moléculaire et
10 présentant, au niveau de l'interface d'assemblage, des zones localisées de composés métalliques.

Les matériaux semi-conducteurs sont par exemple choisis parmi Si, GaAs, SiC, InP, SiGe.

L'un au moins des substrats peut être une
15 hétérostructure.

Les composés métalliques peuvent être des alliages des matériaux semi-conducteurs des substrats au niveau de l'interface d'assemblage et d'au moins un métal choisi parmi le nickel, le palladium, le cobalt,
20 la platine, la tantale, le tungstène, le titane, le cuivre...

Selon un mode de réalisation particulier, l'un au moins des substrats est un film mince.

L'un au moins des substrats peut comporter
25 des composants électroniques et/ou optiques et/ou mécaniques.

Par exemple, l'un des substrats est un film mince en silicium comportant des circuits RF, l'autre substrat pouvant être en silicium de forte résistivité.

BREVE DESCRIPTION DES FIGURES

- Les figures 1A - 3 représentent des étapes de divers procédés selon l'invention ;
- les figures 4A - 6B représentent des
5 exemples de mise en œuvre de divers procédés selon l'invention ;
- la figure 7 représente un substrat SOI.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION DE L'INVENTION

Un premier procédé selon l'invention, et
10 des variantes de ce procédé, vont être décrits en liaison avec les figures 1A - 1C et 2A - 3.

Selon une première étape, on implante des espèces 4, atomiques ou ioniques, à proximité de la surface (dite supérieure) 6, mais sous cette surface,
15 dans au moins une plaquette 2 en matériau semi-conducteur, par exemple en silicium.

Pour cela, plusieurs techniques sont possibles.

Selon une première technique, on implante
20 par exemple une ou plusieurs espèces métalliques 4, par exemple du nickel et/ou du palladium et/ou du titane, et/ou du cobalt, et/ou du tantale, et/ou du platine, et/ou du tungstène, et/ou du cuivre... à une très faible énergie, directement dans au moins un des substrats à
25 assembler, par exemple de silicium : c'est le cas de la figure 1A. La faible énergie utilisée pour l'implantation assure une faible profondeur moyenne de pénétration R_p dans le substrat 2, typiquement de l'ordre de quelques nm, par exemple entre 5 nm et
30 10 nm.

Selon une autre technique (figure 2A), on implante les ions métalliques cités ci-dessus à une plus forte énergie que précédemment, donc selon une profondeur moyenne R_p plus importante (par exemple
5 comprise entre 10 nm et 20 nm), et on diminue ensuite l'épaisseur du film de silicium séparant la surface 6 de la zone implantée, par exemple par une attaque chimique, ou par une attaque mécanique, ou mécano chimique, ou par une gravure par plasma, ou par
10 ablation laser, ou par faisceau d'ions, ou par une combinaison de ces techniques et/ou de celles classiquement utilisée en microélectronique. Une épaisseur e est ainsi éliminée (figure 2B), ce qui réduit d'autant la profondeur de la zone implantée.

15 Selon une variante (figure 3) on réalise une implantation ionique ou atomique à travers une couche mince sacrificielle 10, par exemple d'oxyde de silicium, que l'on élimine, après l'implantation, par exemple par attaque chimique dans du HF (acide
20 fluorhydrique) à 1 %. Cela permet de limiter la profondeur de la zone implantée du substrat à assembler.

L'implantation peut être de type ionique, par diverses techniques de plasma ou par implantation
25 par recul et/ou par mixage (« Ion Beam Mixing » en anglais). Elle peut être faite à une température autre qu'ambiante.

Une deuxième étape est celle de l'assemblage (figure 1B) de la paquette ou du substrat
30 préparé selon l'une des techniques exposées ci-dessus, et d'une deuxième plaquette ou d'un deuxième substrat

12, en matériau semi-conducteur, par exemple lui aussi en silicium. Les surfaces de ces plaquettes 2, 12 peuvent être assemblées par collage suivant un mode hydrophile ou hydrophobe. On pourra se reporter, en ce
5 qui concerne ces modes, à l'ouvrage de Q. Y. Tong et U. Gosele « Semiconductor Wafer Bonding » (Science and Technology), Wiley Interscience Publications. Le collage est ensuite réalisé par adhérence moléculaire.

On peut rendre les surfaces hydrophiles par
10 exemple pour le silicium par un nettoyage chimique de type CARO (mélange H_2SO_4 : H_2O_2 par exemple dans le rapport 2 : 1 à 140°) et SCI (mélange NH_4OH : H_2O_2 : H_2O par exemple dans le rapport 1 : 1 : 5 à 70°), ou hydrophobes par un nettoyage terminé par un traitement
15 HF (à l'acide fluorhydrique dilué par exemple à 1 %).

En outre des techniques de préparation des surfaces, telles que par exemple l'activation par plasma utilisant un couplage capacitif (par exemple de type attaque ionique réactive dite « RIE » en anglais)
20 ou un couplage inductif (par exemple de type attaque hors plasma dite « after glow » en anglais ou de type gravure sèche chimique dite « chemical dry etching » en anglais), peuvent être utilisées. Ces techniques permettent, d'une part, d'amincir le substrat auquel
25 elles sont appliquées, comme déjà décrit ci-dessus en liaison avec la figure 2B, et/ou d'autre part d'activer des espèces qui sont en surface du substrat. L'activation plasma peut se faire avec, par exemple, des gaz pris seuls ou en combinaison comme l'oxygène,
30 l'argon, l'azote, l'hydrogène, SF_6 , CF_6 , CF_4 , CHF_3 ...

De même la technique de polissage mécano chimique, qui allie les avantages d'amincissement et de préparation des surfaces des plaquettes, peut être utilisée.

5 Pour la troisième étape (figure 1C), après le collage, la structure est recuite, de préférence au moins à la température de formation d'un composé conducteur résultant du matériau des substrats et du métal implanté, par exemple pour la formation d'un des
10 siliciures du métal implanté si les deux substrats à assembler sont en silicium. Cette température est par exemple de l'ordre de 350°C pour le siliciure de nickel (NiSi). Cette température dépend du composé métallique à former. On peut, pour déterminer cette température,
15 se référer à des tables de référence comme celle de A. Nicollet et S. S Lau pour les composés métalliques siliciurés (VLSI Handbook p. 422, 1985).

Les espèces implantées vont alors diffuser et interagir pour former un composé conducteur 20 au voisinage de l'interface 16 de collage, et donc modifier celle-ci. Ce composé renforce l'assemblage des deux substrats.

Le deuxième substrat (désigné par la référence 12 sur la figure 1B) peut être un substrat de
25 même nature que le substrat 2, ou même un substrat ou une plaquette identique au substrat ou à la plaquette 2. Il peut être lui aussi implanté avec des ions ou des atomes métalliques, identiques ou différents de ceux implantés dans le substrat 2.

Selon un autre mode de réalisation, le substrat 12 et/ou le substrat 2 peuvent être des hétérostructures, par exemple de type SOI.

Comme illustré sur la figure 7, une structure SOI (abréviation de Silicon on Insulator, ou Silicium sur Isolant) comporte, typiquement, une couche de silicium 80, réalisée sur une couche enterrée 82 d'oxyde de silicium, qui repose elle-même sur un substrat 84 en silicium, ce dernier jouant le rôle de support mécanique. De telles structures sont par exemple décrites dans l'ouvrage de S. S. Iyer et al. intitulé « Silicon Wafer Bonding Technology », INSPEC, 2002.

Typiquement, dans l'exemple du SOI, la couche 80 a une épaisseur comprise entre quelques nanomètres (par exemple 10 ou 50 nm) et quelques centaines de micromètres (par exemple 100 ou 150 μm).

La couche d'isolant 82 peut avoir une épaisseur comprise entre quelques nanomètres et quelques dizaines de micromètres, par exemple 20 μm .

Il est possible d'assembler un tel substrat SOI, avec un substrat, de type SOI ou non, au moins l'un de ces deux substrats étant implanté selon la présente invention, comme illustré sur la figure 1B : c'est alors la couche superficielle 80 du SOI qui est assemblée contre la face supérieure du substrat 2.

DES EXEMPLES D'APPLICATIONS VONT ETRE DONNES :

Exemple 1 : On plante des ions Ni^+ dans une plaquette 2 de silicium, recouverte d'un film 10 d'oxyde de silicium (figure 3) d'épaisseur 5 nm, à une

dose de 2.10^{17} ions/cm² et une énergie de 10 keV. Le Rp d'implantation se situe, selon le logiciel de simulation SRIM-2000, à une profondeur d'environ 12nm et à environ 7nm de la surface de silicium. Après
5 l'implantation, on retire l'oxyde de silicium 10 et on vient coller directement une deuxième plaquette 12 de silicium, implantée ou non (figure 1B). On réalise un recuit de siliciuration à environ 300°C afin de former le siliciure Ni₂Si 20, qui se formera jusqu'à, et au-
10 delà de l'interface de collage 16 (figure 1C).

Dans une variante de cet exemple, on pourra après implantation, déposer une couche intermédiaire (de silicium amorphe par exemple) sur le substrat implanté. L'épaisseur de cette couche sera choisie
15 compatible avec la formation de l'alliage au niveau de l'interface de collage. Au besoin, cette couche intermédiaire pourra être amincie avant collage. Cette couche pourra par exemple être choisie pour faciliter le collage par adhérence moléculaire.

20

Exemple 2 : On plante des ions Ni+ directement dans une plaquette 2 de silicium à une dose de 3.10^{17} ions/cm² et à une énergie de 10 keV (figure 2A). Le Rp d'implantation se situe, selon le logiciel
25 de simulation SRIM-2000, à une profondeur d'environ 13nm. Afin de pouvoir rapprocher le Rp d'implantation de la surface, on grave le silicium, par exemple avec une solution chimique de type SC1 (voir précédemment) jusqu'à ce que le Rp d'implantation se situe proche de
30 la surface (figure 2B), par exemple à une profondeur de l'ordre de 5 nm. On vient ensuite coller directement

une deuxième plaque 12 de silicium (figure 1B). On réalise, ensuite, un recuit de siliciuration à environ 300°C afin de former le siliciure Ni_2Si qui se formera jusqu'à et au-delà de l'interface de collage 16 (figure 1C).

Une variante de cet exemple consiste à rendre amorphe tout ou partie de la couche superficielle du substrat 2. En effet, l'amorphisation du matériau (ici le silicium) va favoriser la diffusion de l'espèce implantée dans ce matériau. Si le matériau amorphe est présent en surface, la diffusion vers l'interface est donc facilitée. Pour rendre amorphe la partie superficielle du substrat 2, plusieurs techniques sont possibles. On peut, avant et/ou après implantation, déposer sur le substrat de silicium par exemple, une couche de matériau amorphe, par exemple du silicium amorphe qui peut au besoin être amincie. On procède ensuite à l'implantation des ions, par exemple Ni^+ comme dans l'exemple précédent. Suivant l'épaisseur de la couche amorphe, l'implantation peut avoir lieu dans la couche amorphe ou dans le substrat initial. On peut alors procéder aux étapes d'assemblage avec le deuxième substrat et de traitement thermique pour provoquer la création d'un composé métallique, jusqu'à et au-delà de l'interface, dans l'exemple le siliciure Ni_2Si . On peut également amorphiser la surface de substrat 2 par implantation, selon les techniques connues de l'homme de métier, par exemple par implantation d'hydrogène. Cette implantation peut être locale ou globale sur toute la surface du substrat. Elle peut être réalisée avant ou après l'implantation

d'espèces métalliques selon l'invention, cette implantation d'espèces métalliques pouvant également participer pour tout ou partie à cette étape d'amorphisation.

5

Exemple 3 : Une variante de l'exemple 2 consiste à implanter l'espèce Ni^+ à une dose de 2.10^{17} ions/cm² et à une énergie de 10 keV. Le Rp d'implantation se situe selon le logiciel de simulation
10 SRIM-2000 à une profondeur d'environ 13nm. Afin de pouvoir rapprocher le Rp d'implantation de la surface, on grave le silicium par exemple avec une solution chimique de type SC1 jusqu'à ce que le Rp d'implantation se situe proche de l'interface (figure
15 2B). On effectue ensuite un traitement par plasma argon, avant collage, pour renforcer l'énergie de collage moléculaire à basse température. Une fois collée, la structure est recuite à la température de formation du siliciure afin de former le siliciure
20 Ni_2Si qui se formera jusqu'à et au-delà de l'interface de collage (figure 1C).

Exemple 4 : On implante des ions Ni^+ dans deux plaquettes de silicium, chacune à une dose de
25 2.10^{17} ions/cm² et à une énergie de 10 keV. Le Rp d'implantation se situe selon le logiciel de simulation SRIM-2000, à une profondeur d'environ 13nm dans chaque plaquette. Afin de pouvoir rapprocher le Rp d'implantation de la surface de chaque plaquette, on
30 grave chacune des plaquettes, par exemple avec une solution chimique de type SC1. On colle ensuite les

deux plaquettes l'une contre l'autre. On réalise ensuite un recuit de siliciuration à environ 750°C afin de former le siliciure NiSi_2 qui se formera à l'interface de collage des plaquettes collées.

5

Exemple 5 : On désire coller deux plaques avec un contact ohmique localisé. On plante des ions Ni^+ dans une plaquette de silicium recouverte d'une couche 10 d'oxyde de silicium (d'épaisseur 5nm) à une dose de $2 \cdot 10^{17}$ ions/cm² et à une énergie de 10 keV, à travers un masque 30 d'implantation (figure 4A). On obtient ainsi un substrat localement implanté selon des zones 32, 34. Le R_p d'implantation se situe, selon le logiciel de simulation SRIM-2000 à une profondeur 15 d'environ 12 nm, et à environ 7 nm de la surface de silicium. Après l'implantation, on retire l'oxyde de silicium 10 et on vient coller directement une deuxième plaquette 12 de silicium, implantée ou non (figure 4B). On réalise un recuit à environ 750°C qui servira d'une part à former le siliciure NiSi_2 , en deux zones 42, 44 localisées, et qui servira d'autre part à renforcer le collage silicium :silicium au niveau des autres zones (figure 4C).

Une structure particulièrement intéressante 25 résultant du procédé qui vient d'être décrit est illustrée figure 4D. Elle se compose d'un substrat 40 de silicium de forte résistivité (obtenu par exemple par la technique d'élaboration dite « floating zone » de triage par fusion de zone), et d'un film mince 41 de 30 silicium comportant des composants RF 43, 45 (par exemple en surface), l'interface 47 entre le substrat

et le film mince comportant localement un composé métallique (par exemple un siliciure de nickel) obtenu par le procédé de l'invention, ce composé métallique 51 jouant le rôle de plan de masse. Dans cette structure, 5 le film mince 41 de silicium peut provenir de l'amincissement d'un SOI ou d'un substrat de silicium. Les composants RF 41, 43 peuvent être réalisés avant et/ou après la formation du composé métallique suivant la compatibilité de ces procédés (en particulier dans 10 leurs aspects budget thermique).

Exemple 6 : Cet exemple est une variante de l'exemple 5. Le substrat 2 comporte, à sa surface, des zones isolantes localisées 48, 50, par exemple en SiO₂ 15 (voir figure 5A). On plante ensuite des ions Ni⁺ dans ce substrat à une dose de 2.10^{17} ions/cm² et une énergie de 10 keV (voir figure 5B). On obtient des zones implantées 54, 56 dont le Rp d'implantation se situe à une profondeur d'environ 13nm dans le silicium (hors 20 zones isolantes), et au dessus de la surface de silicium dans les zones isolantes 48, 50. On retire ensuite la portion d'isolant qui dépasse au-dessus de la surface 57 de silicium, et, éventuellement, une partie du silicium hors des zones isolantes (voir 25 figure 5C), par exemple par polissage mécano-chimique. On laisse ainsi une surface plane 59, apte à être collée par adhérence moléculaire sur une autre plaquette 52, par exemple une plaquette de silicium sur isolant (SOI) (voir figure 5D). On réalise ensuite un 30 recuit de siliciuration, à environ 750°C, afin de former le siliciure NiSi₂ 62 qui se formera au

voisinage de l'interface de collage et renforcera le collage hors des zones de siliciuration 48, 50. On élimine ensuite le silicium 51 (face arrière) de la plaquette SOI 52, jusqu'à l'oxyde de silicium 55. En
5 variante, si la plaquette 52 est en silicium massif, on procède à un amincissement de cette plaquette selon les techniques classiques précédemment décrites. On obtient ainsi, dans les deux cas, un film mince 61, en partie sur l'isolant 48, 50 et en partie sur des zones
10 conductrices 62 (voir figure 5E). Ce mode de réalisation permet donc d'obtenir une interface localement conductrice.

Exemple 7 : Cet exemple est une variante de
15 l'exemple 6. Une plaquette de SOI 52, comportant des circuits déjà fabriqués dans ou sur la couche 61 est assemblée avec une plaquette 2 implantée, comportant des zones isolantes localisées (figure 5D). Dans ce cas, la face en regard de la plaquette 2 en silicium
20 implanté est un film processé 61, par exemple une couche de circuits, recouvert par exemple par du silicium amorphe déposé par exemple par pulvérisation. La couche 61 de silicium, munie de sa couche de circuits, peut aussi avoir été d'abord transférée sur
25 une plaquette poignée intermédiaire, cette dernière permettant ensuite un deuxième transfert sur la plaquette 2 : dans ce cas, la face en regard de la plaquette 2 en silicium implanté est la couche de silicium 61, surmontée de sa couche de circuits. On
30 réalise ensuite un recuit de siliciuration à environ 750°C afin de former le siliciure NiSi_2 , qui se formera

au voisinage de l'interface de collage. Ce traitement thermique permet également de renforcer le collage hors des zones de siliciuration. On élimine ensuite le silicium 51 (face arrière) de la plaquette SOI 52 et
5 l'oxyde de silicium 55. On obtient alors (figure 5E) un film mince 61 traité, en partie sur de l'isolant 48, 50 et en partie sur des zones conductrices 62. De manière analogue on pourra au lieu de la plaquette de SOI 52 utiliser une hétérostructure démontable.

10

Exemple 8 : C'est une variante des deux exemples 6 et 7. Elle consiste à coller, non pas un SOI, mais une plaque 72 (figure 6A) préparée pour permettre de détacher une couche superficielle 71
15 (traitée ou non) d'un substrat 73, par exemple par la technique de fracturation de substrat, telle que « smart-cut » ou par exemple par une technique mettant en oeuvre une couche d'arrêt 75 dans la structure. Cette couche d'arrêt peut être de nature épitaxiale
20 (SiGe, Si dopé,...) ou poreuse (Si poreux,...) ou amorphe (SiN₄,...) .

Après assemblage, recuit et fracture de la plaque 71, on obtient la structure de la figure 6B.

La préparation de la plaque 72 pour en
25 détacher une couche superficielle peut comporter une implantation atomique ou ionique, par exemple d'ions hélium ou hydrogène, formant une mince couche 75 de fragilisation qui s'étend sensiblement parallèlement à une surface 77 du substrat 73 (figure 6A). En fait est
30 ainsi formée une couche ou un plan de fragilisation ou de fracture 75.

La fracture peut alors être réalisée par la technique dite « smart-cut », dont un exemple est décrit dans l'article de A. J. Auberton-Hervé et al. « Why Can Smart-Cut Change the Future of
5 Microelectronics ? » paru dans International Journal of High Speed Electronics and Systems, Vol. 10, N°1 (2000), p. 131-146.

La formation d'un plan de fragilisation peut être obtenue par d'autres méthodes, par exemple
10 par formation, d'une couche de silicium poreux, comme décrit dans l'article de K. Sataguchi et al. « ELTRAN® by Splitting Porous Si layers », Proceedings of the 9th International Symposium on Silicon-on-Insulator Tech. and Device, 99-3, The Electrochemical Society, Seattle,
15 p. 117-121 (1999).

Exemple 9 : On implante des ions Pd⁺ dans une plaquette de silicium à une dose de $2 \cdot 10^{17}$ ions/cm² et une énergie de 10 keV, selon l'une des techniques
20 décrites ci-dessus (voir figure 2A par exemple). Le Rp d'implantation se situe à une profondeur d'environ 13nm. Afin de pouvoir rapprocher le Rp d'implantation, on grave le silicium par exemple avec une solution chimique de type SC1 jusqu'à ce que le Rp
25 d'implantation se situe, proche de la surface (figure 2B). On vient ensuite coller directement une deuxième plaquette de silicium (figure 1B). On réalise ensuite un recuit de siliciuration à environ 200°C afin de former le siliciure Pd₂Si qui se formera au voisinage
30 de l'interface de collage (figure 1C). L'avantage de la technique est de pouvoir abaisser la température de

renforcement du collage silicium-silicium à la température de siliciuration (ici 200°C), alors qu'il faudrait habituellement un traitement thermique à une température supérieure à 500°C.

5

Exemple 10 : L'invention peut être mise en œuvre avec des substrats de matériaux différents. Par exemple, pour assembler une plaquette de silicium avec une plaquette de GaAs selon l'invention, on pourra
10 procéder de la manière suivante : on implante, au moins dans une des plaquettes, des ions Pd+, par exemple dans la plaquette de silicium avec une dose de l'ordre de $3.10^{17}/\text{cm}^2$. On procède ensuite à l'assemblage par adhérence moléculaire des deux plaquettes puis à un
15 recuit, typiquement autour de 200°C. on provoque alors la formation de Pd₂Si dans le silicium et de Pd₄GaAs dans la plaquette de GaAs. Ces deux composés métalliques assurent alors le scellement selon l'invention.

20 D'autres éléments métalliques, présentant aussi une température relativement basse de formation d'un composé conducteur (résultant de l'alliage avec le matériau de substrat), pourront être sélectionnés par exemple à l'aide des tables de références déjà
25 mentionnées ci-dessus.

L'invention peut être mise en œuvre avec deux substrats implantés, par exemple selon l'une des techniques décrites ci-dessus en liaison avec les figures 1A - 3. Les substrats assemblés peuvent être en
30 matériaux différents, avec des implantations d'espèces

différentes, et un même substrat peut être implanté avec des espèces différentes.

Des techniques mentionnées ci-dessus, telles que celles d'assemblage de substrats, de
5 fracturation de substrat, ainsi que des composants SOI, sont décrits dans l'ouvrage de S. S. Iyer et al. « Silicon Wafer Bonding Technology » INSPEC, 2002.

REVENDEICATIONS

1. Procédé de scellement de deux plaques
(2, 12) de matériaux semi-conducteurs, comportant :
 - une étape d'implantation d'espèces
5 métalliques (4) dans au moins la première plaque,
 - une étape d'assemblage de la première et
de la deuxième plaque, par adhérence moléculaire,
 - une étape de formation de composés
métalliques, alliages entre les espèces métalliques
10 implantées et les matériaux semi-conducteurs des deux
plaques.
2. Procédé selon la revendication 1,
l'étape de formation de composés métalliques résultant
15 d'un traitement thermique à une température au moins
égale à la température de formation desdits composés.
3. Procédé selon la revendication 1 ou 2,
l'implantation d'espèces métalliques étant réalisée à
20 une profondeur (Rp) comprise entre 5 nm et 20 nm sous
la surface (6) de la plaque implantée.
4. Procédé selon l'une des revendications
1 à 3, l'implantation d'espèces métalliques étant
25 réalisée à une dose comprise entre 10^{14} et quelques
 10^{18} espèces/cm².
5. Procédé selon l'une des revendications
1 à 4, comportant en outre, avant assemblage, une
30 étape, d'amorphisation destinée à rendre amorphe tout

ou partie de la couche superficielle de la première plaque.

6. Procédé selon la revendication 5,
5 l'étape d'amorphisation comportant le dépôt, avant et/ou après implantation d'espèces métalliques, d'une couche de matériau amorphe.

7. Procédé selon la revendication 5,
10 l'étape d'amorphisation comportant une implantation de la surface, par exemple par de l'hydrogène ou des espèces métalliques.

8. Procédé selon l'une des revendications
15 1 à 7, les plaques étant chacune en un matériau choisi parmi le silicium, l'arséniure de gallium (GaAs), le SiC (carbure de silicium), le InP (Phosphure d'indium), le Germanium (Ge), le silicium - Germanium (SiGe).

9. Procédé selon l'une des revendications
20 1 à 8, les espèces implantées étant des espèces Nickel et/ou palladium et/ou Cobalt, et/ou Platine, et/ou Tantale, et/ou Tungstène, et/ou Titane, et/ou Cuivre.

10. Procédé selon l'une des revendications
25 1 à 9, l'une au moins des plaques (12) étant une hétérostructure, par exemple de type SOI.

11. Procédé selon l'une des revendications
30 1 à 10, l'une au moins des plaques étant amincie, après

assemblage ou après l'étape de formation des composés métalliques.

12. Procédé selon l'une des revendications
5 1 à 11, l'une au moins des plaques étant une structure démontable.

13. Procédé selon l'une des revendications
1 à 12, l'une au moins des plaques comportant un plan
10 de fragilisation.

14. Procédé selon la revendication 13 la
plaque comportant un plan de fragilisation étant
aminée par fracture le long dudit plan de
15 fragilisation, après assemblage ou après l'étape de
formation de composés métalliques.

15. Procédé selon l'une des revendications
1 à 14, l'une au moins des plaques comportant au moins
20 un circuit ou une couche de circuits sur, ou près de,
sa face à assembler.

16. Procédé selon l'une des revendications
1 à 15, l'étape d'implantation d'espèces métalliques
25 étant réalisée à travers un masque (30) pour obtenir
des zones d'implantation locales (32, 34).

17. Procédé selon l'une des revendications
1 à 15, comportant en outre la formation d'une couche
30 d'isolant (20) sur la première plaque, avant son
implantation d'espèces métalliques.

18. Procédé selon l'une des revendications 1 à 17, comportant en outre, après implantation d'espèces métalliques, une étape d'amincissement de la plaque implantée.

5

19. Procédé selon l'une des revendications 1 à 18, la première plaque comportant au moins une zone isolante (48, 50) localisée en surface permettant d'obtenir des zones (54) d'implantation locales.

10

20. Structure composée de deux substrats de matériaux semi-conducteurs assemblés par adhérence moléculaire et présentant, au niveau de l'interface d'assemblage, des zones localisées (42, 44, 54, 56, 64) de composés métalliques, ces composés métalliques étant des alliages des matériaux semi-conducteurs des substrats au niveau de l'interface d'assemblage et d'au moins un métal choisi parmi le nickel, le palladium, le cobalt, la platine, le tantale, le tungstène, le titane, le cuivre.

20

21. Structure selon la revendication 20, les matériaux semi-conducteurs étant choisis parmi Si, GaAs, SiC, InP, SiGe.

25

22. Structure selon la revendication 20 ou 21, l'un au moins des substrats étant une hétérostructure.

23. Structure selon l'une des revendications 20 à 22, l'un au moins des substrats étant un film mince.

5 24. Structure selon l'une des revendications 20 à 23, l'un au moins des substrats comportant des composants électroniques et/ou optiques et/ou mécaniques.

10 25. Structure selon l'une des revendications 20 à 24, l'un des substrats étant un film mince (41) en silicium comportant des circuits RF (43, 45).

15 26. Structure selon la revendication 25, l'autre substrat (40) étant en silicium de forte résistivité.

1 / 5

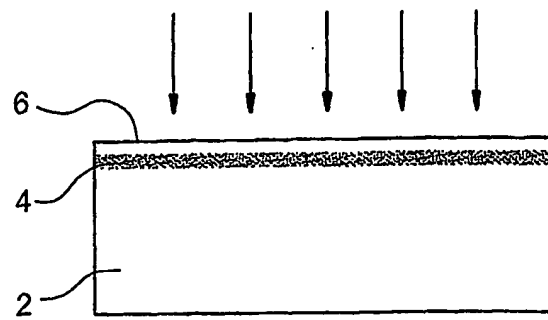


FIG. 1A

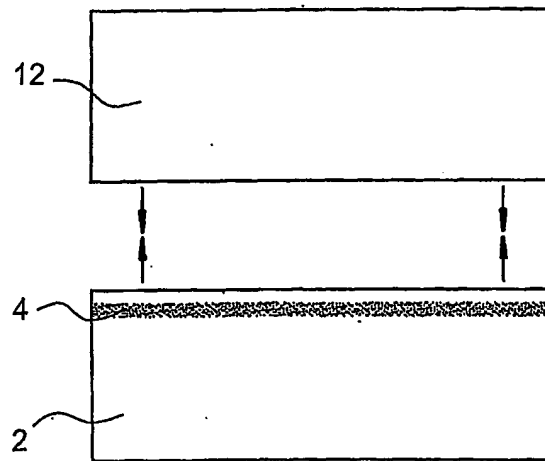


FIG. 1B

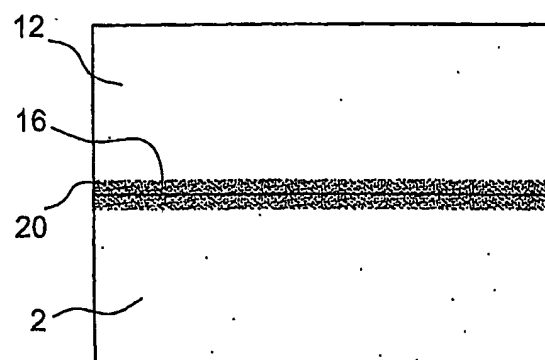


FIG. 1C

2 / 5

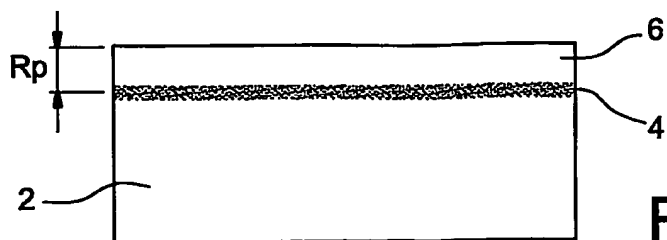


FIG. 2A

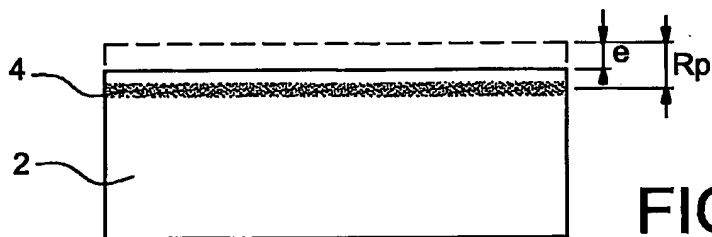


FIG. 2B

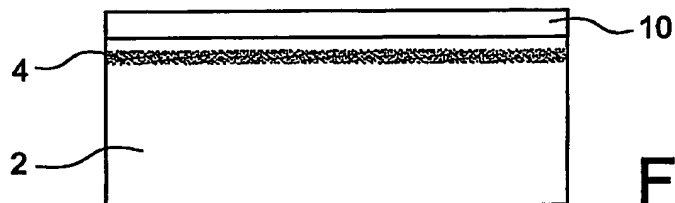


FIG. 3

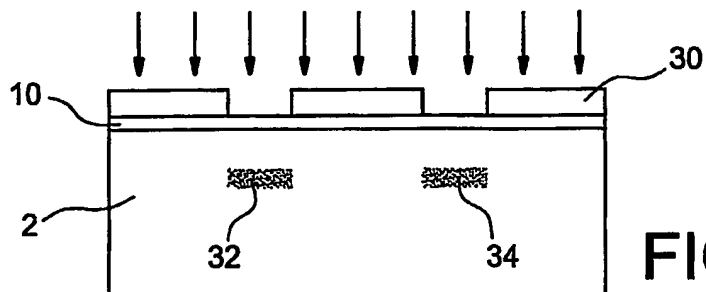


FIG. 4A

3 / 5

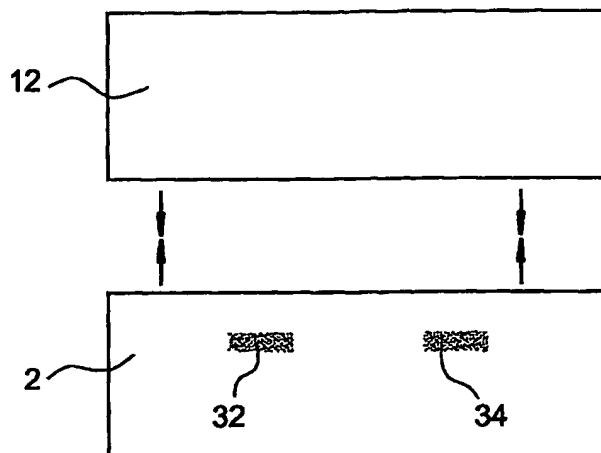


FIG. 4B

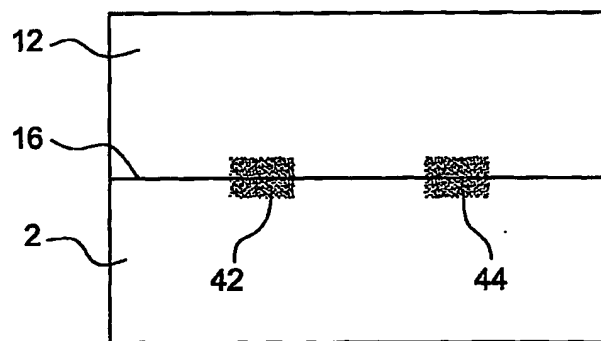


FIG. 4C

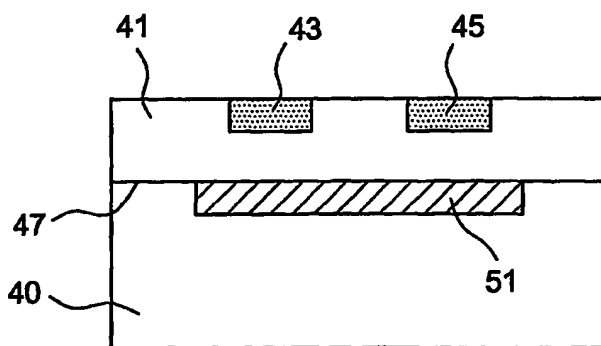


FIG. 4D

4 / 5

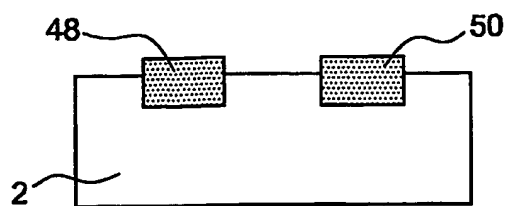


FIG. 5A

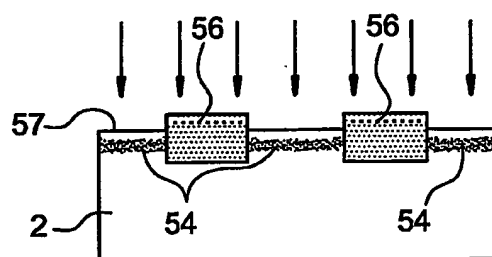


FIG. 5B

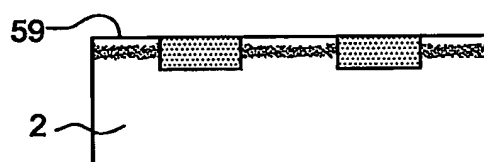


FIG. 5C

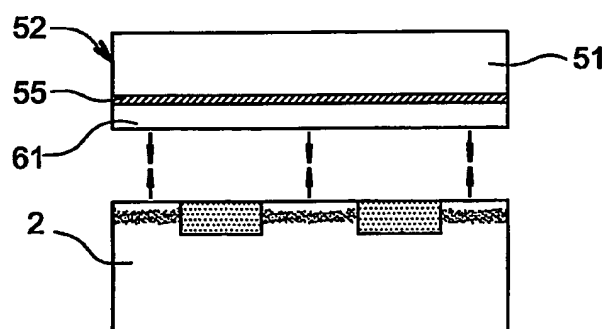


FIG. 5D

5 / 5

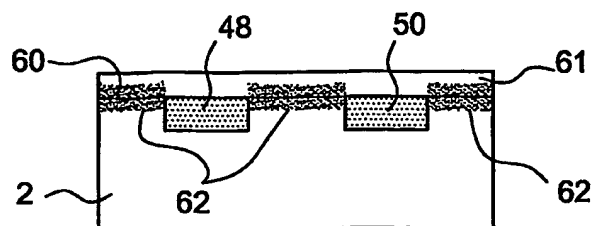


FIG. 5E

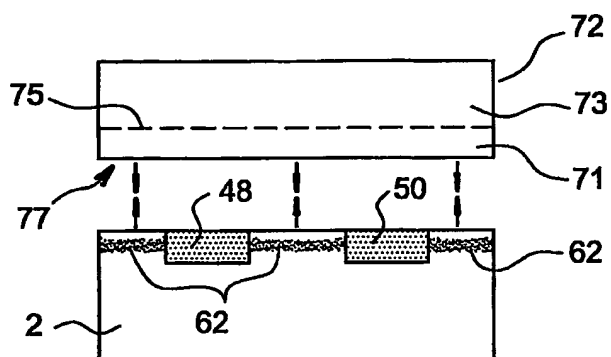


FIG. 6A

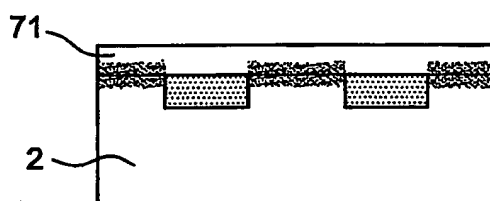


FIG. 6B

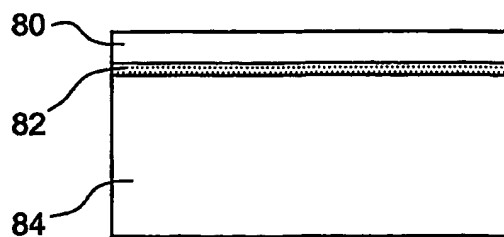


FIG. 7

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2004/050742

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 274 892 B1 (HOBART KARL ET AL) 14 August 2001 (2001-08-14) column 6, line 66 - column 8, line 4	1-26
A	SHIYANG ZHU ET AL: "Buried cobalt silicide layer under thin silicon film fabricated by wafer bonding and hydrogen-induced delamination techniques" J. ELECTROCHEM. SOC. (USA), JOURNAL OF THE ELECTROCHEMICAL SOCIETY, JULY 1999, ELECTROCHEM. SOC, USA, vol. 146, no. 7, July 1999 (1999-07), pages 2712-2716, XP002291929 ISSN: 0013-4651 page 2712	1,2,5,6, 8,9, 11-14, 20,21, 23,24
A	DE 38 29 906 A (SIEMENS AG) 15 March 1990 (1990-03-15) column 2, line 30 - line 60	1,3

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

25 May 2005

Date of mailing of the international search report

01/06/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Gélebart, J

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR2004/050742

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6274892	B1	14-08-2001	EP 1062692 A1	27-12-2000
			JP 2002507058 T	05-03-2002
			WO 9946809 A1	16-09-1999
DE 3829906	A	15-03-1990	DE 3829906 A1	15-03-1990

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR2004/050742

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L21/18

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, INSPEC, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 6 274 892 B1 (HOBART KARL ET AL) 14 août 2001 (2001-08-14) colonne 6, ligne 66 - colonne 8, ligne 4	1-26
A	SHIYANG ZHU ET AL: "Buried cobalt silicide layer under thin silicon film fabricated by wafer bonding and hydrogen-induced delamination techniques" J. ELECTROCHEM. SOC. (USA), JOURNAL OF THE ELECTROCHEMICAL SOCIETY, JULY 1999, ELECTROCHEM. SOC, USA, vol. 146, no. 7, juillet 1999 (1999-07), pages 2712-2716, XP002291929 ISSN: 0013-4651 page 2712	1,2,5,6, 8,9, 11-14, 20,21, 23,24
A	DE 38 29 906 A (SIEMENS AG) 15 mars 1990 (1990-03-15) colonne 2, ligne 30 - ligne 60	1,3

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"G" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

25 mai 2005

Date d'expédition du présent rapport de recherche internationale

01/06/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Gélébart, J

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No

PCT/FR2004/050742

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6274892	B1	14-08-2001	EP 1062692 A1	27-12-2000
			JP 2002507058 T	05-03-2002
			WO 9946809 A1	16-09-1999
DE 3829906	A	15-03-1990	DE 3829906 A1	15-03-1990